

1

【特許請求の範囲】

【請求項 1】 (a) それぞれのパケットがパケット・ヘッダおよびパケット・データを有する複数のチャネルの複数のパケットの複数の非同期転送モード (A T M) セルを保存する複数のリンクされた記憶バケットのための複数の制御データを保存するメモリ・ユニットと、

(b) リンクされた記憶バケットへの A T M セルの受信を管理し、リンクされた記憶バケットからパケット・ヘッダおよびパケット・データを、パケット・ヘッダおよびデータが共にヘッダ・バッファにバースト転送される複数の所定の例外を除き、インタフェース・バスを介して装置に接続されたホスト・コンピュータ・システム上の様々なチャネルの別個のヘッダ・バッファおよびデータ・バッファにバースト転送するためのメモリ・ユニットに接続され、パケット・ヘッダおよびデータが固定サイズ・ブロックでバースト転送され、各ブロックがインタフェース・バスと相補的であるが必ずしもセル境界とそろえる必要はないブロック・サイズを有する受信ブロックであって、各バースト転送がヘッダ・バースト転送であるかまたはデータ・バースト転送であるか、バースト転送がヘッダ・バースト転送である場合は、全パケット・ヘッダが特定のバースト転送の終わりに完全に転送されているか、そしてさらにパケットが例外的に処理されるべきかどうかを考慮して、制御データを維持するための論理を含む受信ブロックとを備える装置。

【請求項 2】 コンピュータ・システムにおいて、システムのネットワーク・インタフェース回路からパケットのヘッダおよびデータをシステムのバッファにバースト転送する方法において、(a) メモリ・ユニット内に

チャネル・ベースでパケットの複数の非同期転送モード (A T M) セルを保存するための複数のリンクされた記憶バケットのための複数の制御データを保存するステップと、(b) リンクされた記憶バケットへの A T M セルの受信を管理し、リンクされた記憶バケットからパケット・ヘッダおよびパケット・データを、パケット・ヘッダおよびデータが共にヘッダ・バッファにバースト転送される複数の所定の例外を除き、インタフェース・バスを介して様々なチャネルの別個のヘッダ・バッファおよびデータ・バッファにバースト転送するステップであって、パケット・ヘッダおよびデータが固定サイズ・ブロックでバースト転送され、各ブロックがインタフェース・バスと相補的であるが必ずしもセル境界とそろえる必要はないブロック・サイズを有するステップと、(c)

各バースト転送がヘッダ・バースト転送であるかまたはデータ・バースト転送であるか、バースト転送がヘッダ・バースト転送である場合は、全パケット・ヘッダが特定のバースト転送の終わりに完全に転送されているか、そしてさらにパケットが例外的に処理されるべきかどうかを考慮して、制御データを維持するステップとを含む方法。

2

【請求項 3】 (a) 複数のチャネルの複数のパケットの複数のヘッダおよびデータを保存する第 1 のメモリ・ユニットと、(b) パケットの複数の非同期転送モード (A T M) セルを保存する複数のリンクされた記憶バケットを保存する第 2 のメモリ・ユニットと、(c)

リンクされた記憶バケットのための複数の制御データを保存する第 3 のメモリ・ユニットと、(d) リンクされた記憶バケットへの A T M セルの受信を管理し、リンクされた記憶バケットからパケット・ヘッダおよびパケット・データを、パケット・ヘッダおよびデータが共にヘッダ・バッファにバースト転送される複数の所定の例外を除き、第 1 および第 2 のメモリ・ユニットに接続されたインタフェース・バスを介してヘッダ・バッファおよびデータ・バッファにバースト転送するためのメモリ・ユニットに接続され、パケット・ヘッダおよびデータが固定サイズ・ブロックでバースト転送され、各ブロックがインタフェース・バスと相補的であるが必ずしもセル境界とそろえる必要はないブロック・サイズを有する受信ブロックであって、各バースト転送がヘッダ・バースト転送であるかまたはデータ・バースト転送であるか、バースト転送がヘッダ・バースト転送である場合は、全パケット・ヘッダが特定のバースト転送の終わりに完全に転送されているか、そしてさらにパケットが例外的に処理されるべきかどうかを考慮して、制御データを維持するための論理を含む受信ブロックとを備えるコンピュータ・システム。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、コンピュータ・ネットワーク分野に関する。さらに詳細に言えば、本発明は、ネットワーク・インタフェース回線 (N I C) からそのホスト・コンピュータ・システムへの非同期転送モード (A T M) パケット・ヘッダと A T M データとの転送に関する。

【 0 0 0 2 】請求の範囲に記載の主題が本願と同一の発明者により発明され、本出願と同一の譲受人に譲渡された米国特許第 0 8 / 4 7 3、5 1 4 号において、インターリーブされた A T M セルの再配置のための方法および装置が開示されている。米国特許第 0 8 / 4 7 3、5 1 4 号の記載によれば、N I C によって受信された様々なチャネルのインターリーブされた A T M セルは、チャネル・ベースで複数のリンク済みリストとして互いにリンクされた「バケット」にバッファされる。N I C は、チャネルの蓄積された A T M セル数が既定のしきい値に達すると、バッファに入ったチャネルの A T M をホスト・コンピュータ・システムにバースト転送する。複数のデータ構造およびスケジューリング・キューは、空きリソースの位置および転送のスケジューリングを含む A T M セルのバッファリングを管理するために使用される。また、固定サイズ・ブロックでバッファされた A T M セ

ルを（パケット・ヘッダとデータを識別せずに）バースト転送するための方法についても開示されているが、この方法において、ブロック・サイズはNICとそのホスト・コンピュータ・システムとの間のインタフェース・バスと相補的であるが、ATMセルの境界とそろえる必要はない。開示された方法のもとでは、部分オフセットと共に部分パケット・ポインタが各チャネルに使用されて、アンロードの過程で時に応じ部分的にアンロードされたATMパケットの一時的な存在の管理を行う。部分パケット・ポインタが、部分的にアンロードされたATMパケットを識別するために使用されるのに対し、部分オフセットは部分的にアンロードされたATMパケット内の常駐データの開始位置を識別するために使用される。

【0003】

【発明が解決しようとする課題】上記のブロック方式によるATMセルのバースト転送時に、パケット・ヘッダとデータとをいつも識別できることがさらに望ましい。さらに具体的には、上記のブロック方式で、ショート・パケットおよび「非定形」パケットの場合を除いて、ATMパケット・ヘッダおよびATMデータをホスト・コンピュータ・システムの別々のバッファにバースト転送できることが望ましい。ショート・パケットとは、比較的長いヘッダの後に数バイトのデータを有するパケットであり、一方「非定形」パケットとは最適化のためにハードウェアをプログラムしてあるほとんどの一般的なパケット・タイプのヘッダ・サイズよりも小さいパケットである。アプリケーションは制御の目的でこれらの非定形パケットを用いる。たとえば、最も一般的なパケット・タイプは206バイトのヘッダ長を有するが、制御パケットは、ヘッダ長36バイトおよびデータ長4バイトで、合計わずか40バイトである。パフォーマンスの理由により、これらの各パケットでは、パケット・ヘッダおよびデータが共にヘッダ・バッファにバースト転送されるようになっている。以下にさらに詳細に開示されるように、本発明ではこれらおよびその他の要求をかなえるものである。

【0004】

【課題を解決するための手段】NICは、セル境界にそろえないブロック方式でバッファに入れられたATMセルのホスト・コンピュータへのバースト転送を制御するための様々な制御ポインタと、少なくとも1つの制御カウンタを備えており、いくつかの所定の例外を除き、ほとんどの場合、ATMパケット・ヘッダをATMデータと区別する。さらに具体的には、ATMパケット・ヘッダおよびATMデータは、ショートパケットおよび非定形パケットの場合をのぞいて、固定サイズ・ブロックでホスト・コンピュータ・システムの別々のヘッダおよびデータ・バッファにバースト転送されるが、ここでブロック・サイズはインタフェース・バスと相補的であるが

必ずしもATMセル境界にそろえる必要はない。その代わり、ショート・パケットおよび非定形パケットについては、ヘッダおよびデータ両方ともヘッダ・バッファにバースト転送される。

【0005】関連する制御ポインタは、部分パケット・ポインタおよび部分オフセットを含む。さらに、関連制御ポインタは、部分パケット・ポインタに続く第1のフルATMパケットを指す第1パケット・ポインタ、部分パケットがある場合には第1のATMパケットの後に続くATMパケットを指す次パケット・ポインタ、最後のリンク済みATMパケットを指す最終パケット・ポインタを含む。関連する少なくとも1つの制御カウンタは、残余ヘッダ長カウンタを含む。

【0006】この論理では、ヘッダ/データのヘッダ/データ・バッファへの各バースト転送後に、これらの関連する制御ポインタおよび少なくとも1つの制御カウンタへの適切な更新を判定する2段階の手法を採用する。この論理は、適切な更新を判定する際に、NICがヘッダをバースト転送中であるかあるいはデータをバースト転送中であるか、またNICがヘッダのバースト転送からデータのバースト転送へと移行するところであることを考慮する。さらにこの論理では、パケットが例外として処理されるか、すなわちヘッダとデータを区別しないかを考慮する。

【0007】第1の段階では、この論理は新規残余ヘッダ長、そしてNICがヘッダをバースト転送中の場合は新規「非正規化」部分オフセットを判定する。第2段階においては、この論理は、新規「非正規化」部分オフセットの指す位置に応じて、新規「正規化」部分オフセット、新規部分、第1および次パケット・ポインタを判定する。さらに具体的には、新規「非正規化」部分オフセットが、完了したばかりのバーストでバーストした可能性のある最も遠いフルATMセルを超えるリンクされたATMパケット（以下では「最遠のフルATMパケット」と略す）内の位置を指すか、「最遠のフルATMパケット」の最後を指すか、完了したばかりのバーストが開始したATMパケット（以下では「開始ATMパケット」と称する）を超えるが「最遠のフルATMパケット」の最後よりも前を指すか、「開始ATMパケット」の最後を指すか、または依然として「開始ATMパケット」内を指すかにより、この論理は上記の判定を行う。これらの各事例に対して、論理はさらに、EOPマーキングがバースト転送を終えたばかりのヘッダ/データ内にあるかどうかの考慮を計算に入れていく。

【0008】1つの実施の態様において、この論理はアンロード・ブロックのルックアヘッド状態機械に設けられるが、これはシステムを受信ブロックの一部であり、NICのATM層コアである。

【0009】

【発明の実施の形態】以下の記述において、本発明をよ

10

20

30

40

50

り深く理解するために、説明の目的で特定の数、材料、および構成が示される。しかし当業者には、本発明が具体的な詳細なしに実践できることが明かであろう。その他の例においては、本発明を不明瞭にすることのないよう、周知の特徴は省略または簡略化してある。

【0010】図1には、本発明のATM NICを組み込むコンピュータ・システム・ネットワークの例を示す。コンピュータ・システム・ネットワーク10は、1つまたは複数のATM NIC12を組み込むホスト・コンピュータ・システム（図示せず）を含む。NIC12は、ローカルATM交換機14を介して公衆ATM交換機16に接続され、ネットワーク10に接続されたホスト・コンピュータ・システム間のデータの非同期転送を可能にしている。あるいは、NIC12を公衆ATM交換機16に直接接続することもできる。図1に示すように、コンピュータ・システム・ネットワーク10はまた、ローカル・エリア・ネットワーク（LAN）エミュレーション15の使用を組み込むコンピュータ・システム含むこともあり、これはATMネットワークを支援フレームワークとして利用するEthernetまたはトークンリング・ネットワークなど他のネットワークを接続するためのゲートウェイとしての役割を果たす。

【0011】図2は、本発明の好ましい実施の形態によるATM NIC12のアーキテクチャを示すシステム概略図である。ATM NIC12は、システム・バス38を介して、ATMプロトコルに従って動作するネットワークATMセル・インタフェース40に接続されたホスト・コンピュータ・システム48とインタフェースする。

【0012】図示のATM NIC12は、システム・バス・インタフェース20、汎用入出力（GIO）インタフェース24、システムおよびATM層コア22、ローカル・スレーブ・インタフェース26、送信（TX）FIFO28、受信（RX）FIFO30、セル・インタフェース・ブロック32、外部バッファ・メモリ・インタフェース34、およびクロック合成回路36を含んでいる。

【0013】NIC12の構成要素20-36は協働して、複数の帯域幅のグループ内の動的に割り当てられた複数のチャネルを介して、ホスト・コンピュータ48とネットワーク内の他のコンピュータとの間のデータの転送を行う。NIC12の構成要素は集合的に、ホスト・コンピュータ・システム48のシステム・バス38に接続されたマルチチャネル・インテリジェント・ダイレクト・メモリ・アクセス（DMA）コントローラとして機能する。好ましい実施の形態において、複数の送信および受信チャネルは、全二重155/622Mbps物理リンクを利用する仮想接続として機能する。外部バッファ・メモリ・インタフェース34を介して外部バッファ・メモリ42へのシステム・バス38上の別のチャネル

に割り当てられた複数のデータのバケットは、セル・インタフェース・ブロック32を介しATMセル・インタフェース40への転送のために、システムおよびATM層コア22によってセグメント化される。コア22には、受信セルのバケットへの再アセンブリを容易にする再アセンブリ論理を含んでいる。

【0014】3つのメモリ・サブシステムが、NIC12の動作に関連づけられている。これらには、ホスト・コンピュータ・システム48に位置するホスト・メモリ49、NIC12の外部にある外部バッファ・メモリ42およびコア22内に位置する記憶ブロック44を含んでいる。NIC12は、外部バッファ・メモリ42および記憶ブロック44の2つのメモリ領域を管理する。外部バッファ・メモリ42は、NIC12にサポートされるすべての送信および受信チャネルのためのバケット・データを含んでいる。記憶ブロック44は、送信および受信チャネルおよびDMA転送が行われるホスト・メモリ49のデータ構造を指すポインタに関するDMA状態情報を含んでいる。記憶ブロック44はまた、ホスト48およびATMセル・インタフェース40の間の移行時にバケットの複数の送受信バッファを管理するためにデータ構造特性も含んでいる。

【0015】ホスト・コンピュータ・システム48は、データ・バケットおよび送受信されるバケットを指すポインタを含んでいるホスト・メモリ49を備えている。前述のように、NIC12はまた、ホスト・コンピュータ・システム48上のアプリケーションからの非同期転送のセル記述の詳細を保護する。本発明の目的のため、ホスト・コンピュータ・システム48上で実行中のソフトウェアが、当技術分野で周知のようにバケット・インタフェースで送受信リングのラップ・アラウンドを使用して、データの送受信を行うことを想定している。

【0016】コア22とセル・インタフェース・ブロック32との間に接続されたTX FIFO28およびRX FIFO30は、送信バケットの送信セル・ペイロードおよび受信バケットの受信セル・ペイロードを段階的に行う。セル・インタフェース・ブロック32は、クロック合成回路36がもたらすクロック信号によって駆動されるネットワークのATMセル・インタフェース40との間のセルの送信および受信を行う。ATMセル・インタフェース40およびATMセル・インタフェース32は、ATMフォーラム特別仕様に記載されているUniversal Test and Operations Physical Interface for ATM（UTOPIA）規格に準拠していることが望ましい。UTOPIA仕様に準拠するために、クロック合成回路36は20-25MHzまたは40-50MHzのクロック信号をもたらし、セル・インタフェース・ブロック32が、155Mbpsデータ・ストリームに対し20-25MHzの8ビット・ストリームを、

または 6 2 2 M b p s データ・ストリームに対し 4 0 - 5 0 M H z の 1 6 ビット・ストリームをサポートできるようにする。

【 0 0 1 7 】 現在好ましい実施の形態において、セル・インタフェース・ブロック 3 2 は、コア 2 2 の制御のもとに 4 バイトのグループで、T X F I F O 2 8 を介し、それぞれが 4 バイト・セル・ヘッダおよび 4 8 バイト・ペイロードを有する 5 2 バイト・データ・セルを T X バッファ・メモリ 4 6 から受信する。セル・インタフェース・ブロック 3 2 は、5 3 バイト・データ・セルを 1 5 5 または 6 2 2 M b p s で A T M セル・インタフェース 4 0 に供給する前に、セル・ヘッダの第 5 番めのバイトとして各セルにチェックサムを挿入する。逆に、セル・インタフェース・ブロック 3 2 は、A T M セル・インタフェース 4 0 からセルを受信する場合、各セルの第 5 番目のバイトのチェックサムを調べて、チェックサムが正しいかどうかを判定する。正しい場合は、チェックサムを表すバイトはセルから外され、セルは 1 5 5 または 6 2 2 M b p s で一度に 4 バイトずつ R X F I F O 3 0 に転送される。正しくない場合は、セル全体が脱落する。転送されたバイトはコア 2 2 の制御のもとに外部バッファ・メモリ・インタフェース 3 4 を介して R X バッファ・メモリ 4 5 に保存される。

【 0 0 1 8 】 1 つの実施の形態においては、T X F I F O 2 8 および R X F I F O 3 0 は 3 3 ビットの幅を有し、そのうち 3 2 ビットがデータ転送に使用され、1 ビットがタグとして使用される。タグ・ビットは 4 8 バイト・セル・ペイロードからの 4 バイト・セル・ヘッダを区別するのに使用される。タグ・ビットは、コア 2 2 内に位置する T X ブロック 5 0 によって生成される。1 つの実施の形態においては、タグ・ビットはセル・ヘッダの開始を示すために 1 にセットされ、セル・ペイロードを示すために 0 にリセットされる。したがって、セル（ヘッダ）の最初の 4 バイトに対してタグ・ビットは 1 であり、セル（セル・ペイロード）の残りの 4 8 バイトに対してタグ・ビットは 0 である。

【 0 0 1 9 】 T X F I F O 2 8 からのデータ・セルを受信する際、セル・インタフェース・ブロック 3 2 内にある T X 回路 5 3 はタグ・ビットを調べる。タグ・ビットが 1 の場合、T X 回路 5 3 は対応する 3 2 ビットをセルのヘッダとしてデコードする。タグ・ビットが 0 の場合、T X 回路 5 3 は、対応する 3 2 ビットをデータとしてデコードする。逆に、セル・インタフェース・ブロック 3 2 が A T M セル・インタフェース 4 0 からデータ・セルを受信する場合、セル・インタフェース・ブロック 3 2 内の R X ブロック 5 5 は、4 バイト・セル・ヘッダを 4 8 バイト・セル・ペイロードと区別するためのタグ・ビットを生成する。その後、セル・インタフェース・ブロック 3 2 は、データ・セルを 4 バイトのグループで R X F I F O 3 0 に送る。R X F I F O 3 0 からの

セル・データを受信すると、コア 2 2 内の R X 回路 5 2 は前述のようにタグ・ビットの値に従ってセル・データをデコードする。

【 0 0 2 0 】 2 つの同期クロック信号である 2 0 M H z 信号および 4 0 M H z 信号は、クロック合成回路 3 6 を介して A T M セル・インタフェース・クロックからセル・インタフェース・ブロック 3 2 に供給される。U T O P I A 仕様に従い、6 2 2 M b p s 4 0 M H z に対し 1 6 ビット・データ・ストリームをもたらすように 4 0 M H z クロックが供給される。U T O P I A 仕様に従い、クロック合成回路 3 6 内で 4 0 M H z クロック信号の 2 分割が行われて、1 5 5 M b p s に対し 2 0 M H z の 8 ビット・データ・ストリームを供給する。4 0 M H z クロック信号もまた、1. 2 G b p s 転送速度をもたらすために外部バッファ・メモリ・インタフェース 3 4 に供給される。さらに、G I O 2 4 はデータの送受信のために 4 0 M H z クロックを使用する。

【 0 0 2 1 】 T X バッファ・メモリ 4 6 は 3 2 ビットのデータを T X F I F O 2 8 に供給し、R X バッファ・メモリ 4 5 は 4 0 M H z クロック信号の各周期ごとに R X F I F O 3 0 からの 3 2 ビット・データを読み取る。しかし、A T M セル・インタフェース 4 0 は、6 2 2 M b p s での動作時に 2 クロック周期ごとに T X F I F O 2 8 からの 4 バイトのデータを読み取り、1 5 5 M b p s での動作時に 8 クロック周期ごとに T X F I F O 2 8 からの 4 バイトのデータを読み取る。同様に、セル・インタフェース・ブロック 3 2 は、6 2 2 M b p s での動作時に 2 クロック周期ごとに T X F I F O 2 8 へ 4 バイト・データを供給し、1 5 5 M b p s での動作時に 8 クロック周期ごとに T X F I F O 2 8 へ 4 バイトのデータを供給する。コア 2 2 のセル・バースト速度は、セル・インタフェース・ブロック 3 2 のセル・バースト速度とは異なるが、T X F I F O 2 8 およびセル・インタフェース・ブロック 3 2 の間のデータ速度は、平均すると T X F I F O 2 8 およびコア 2 2 の間のデータ速度と等しい。同様に R X F I F O 3 0 およびセル・インタフェース・ブロック 3 2 の間のデータ速度は、平均すると R X F I F O 2 8 およびコア 2 2 の間のデータ速度と等しい。これは、T X F I F O 2 8 および R X F I F O 3 0 とコア 2 2 との間のデータ速度が、データがそれぞれセル・インタフェース・ブロック 3 2 によって読取りまたは書込みされる速度に依存しているためである。1 つの実施の形態において、T X F I F O 2 8 の深さは 1 8 ワードまたは 1 1 / 2 セルの長さであり、R X F I F O 3 0 の深さは 7 0 ワードの長さである。

【 0 0 2 2 】 システム・バス・インタフェース 2 0 および G I O インタフェース 2 4 は、A T M セル・インタフェース 4 0 への転送の詳細からホスト・コンピュータ・システム 4 8 を遮断する。さらに、コア 2 2 はシステム

・バス38の詳細およびホストの詳細から遮断される。現在好ましい実施の形態においては、アメリカ電気電子通信学会(IEEE)規格1496仕様に規定のとおり、システム・バスはS-バスである。システム・バス・インタフェース20は、システム・バスの仕様(本実施の形態ではS-バスである)に従って通信するように構成される。システム・バス・インタフェース20は、別のホスト・コンピュータ・システム・バスに適合させて構成することもできると考えられている。システム・バス・インタフェース20はまた、GIOインタフェース24により指定されたプロトコルに従ってデータを送信および受信するように構成されている。GIOインタフェース24は、コア22がホスト・コンピュータと通信する単一のインタフェースをもたらす。したがって、コア22は異なるホスト・コンピュータ・システムおよびバスにインタフェースする様々なNIC12の実施の形態のために変わることはない。

【0023】図3は、コア22をさらに詳細に示している。コア22は互いに図のように接続されたTXブロック50、RXブロック52、アービタ54および制御メモリ56から構成されている。TXブロック50は、ホスト・コンピュータ・システムからATMバケットを受信し、それをATMセルにセグメント化し、そのセグメント化ATMセルをTX FIFO28に供給するために使用される。現在好ましい実施の形態においては、TXブロック50には、米国特許係属出願第x/xxx、xxx号の教示を組み込み、622Mbps以上でATMバケットをセグメント化できるようになっている。RXブロック52は、ATMセルをRX FIFO30から受信し、それをATMバケットに再アセンブルし、再アセンブルされたATMバケットをホスト・コンピュータ・システムに供給するために使用される。RXブロック52は、様々なチャネルのインターリーブされたATMセルの再配列に関する前記米国特許係属出願において開示された教示を組み込んでいる。すなわち、様々なチャネルに受信されたATMセルは、外部メモリ42内のATMバケットに保存される。ATMバケットは、チャネルごとにリンク済みリストに編成される。未使用のまたは空のATMバケットはフリー・リソースのリンク済みリストに編成される。さらに、以下にさらに詳細に記述されるように、RXブロック52は、ブロック方式でのホスト・コンピュータ・システムへのバッファされたATMセルのバースト転送に関する本発明の教示を組み込んでいるが、ここで転送ブロックはATMセル境界にそえる必要はなく、また同時に、前述のショート・バケットおよび非定形バケットのようないくつかの所定の例外を除いてはATMバケット・ヘッダとデータを区別する。

【0024】制御RAM56は、特に前述のATMバケットのリンク済みリストに、所望の方法でATMセルを

アンロードするための関連する制御ポインタ、および以下にさらに詳細に記述される少なくとも1つの制御カウンタに関するリンケージ情報などを含むTXおよびRXブロック50および52の様々な制御情報を保存するために使用される。最後に、アービタ54は、TXおよびRXブロック50および52の間のRAM56を制御するアクセスの調停に使用される。制御RAM56およびアービタ54は、当技術分野において周知のいくつかの方法で実施することができる。

【0025】図4では、RXブロック52の1つの実施の形態をさらに詳細に示している。図示の実施の形態の例示では、RXブロック52は、互いに図のように接続されたRXロード・ブロック58、RXアンロード・ブロック60、スケジュール・キュー62、フリー・リスト・マネージャ64、外部RAMインタフェース66、および制御RAMインタフェース68から構成されている。RXロード・ブロック58は、RX FIFO30からインターリーブされたATMセルを受信し、それを外部メモリ34内の空ATMバケットに保存するために使用される。フリー・リスト・マネージャ64は、フリー・バケットのある位置をRXロード・ブロック58に知らせて、フリー・リソースを管理するために使用される。RXロード・ブロック58はまた、スケジュール・キュー62によるアンロード・サービスを必要とするチャネルのスケジュールにも使用される。1つの実施の形態において、アンロード・サービスは、チャネルに蓄積されたATMセルの数が所定のしきい値に達するとスケジュールされる。RXアンロード・ブロック60は、バッファされたATMセルをアンロードし、それを所望の方法で(すなわち、ブロック・サイズがバス・インタフェースと相補的である固定サイズ・ブロックで)ホスト・コンピュータ・システムにバースト転送し、さらに同時に、前述の所定の例外を除いてATMバケット・ヘッダとデータを区別するために使用される。RXロード・ブロック58、RXアンロード・ブロック60、スケジュール・キュー62、およびフリー・リスト・マネージャ64の基本的動作に関して詳しくは、米国特許係属出願第08/473、514号を参照されたい。

【0026】外部および制御RAMインタフェース66および68は、それぞれのメモリに対してその通常のインタフェース機能を行う。外部および制御RAMインタフェース66および68はまた、当技術分野において周知な任意の手法で実施することができる。

【0027】RXアンロード・ブロック60についてさらに詳細に記述する前に、図5-図8を参照して、まず所望の転送の方法に関して説明する。図5は、ヘッダ72、データ74、およびEOP76を含む「通常の」ATMバケット70を示している。図示のとおり、ATMバケット70は、複数のATMセル(セル・ヘッダでパッケージされている)78で受信される。さらに様々な

チャネルの A T M セルはインターリーブされて到着する。すなわち、A T M パケット 7 0 の A T M セル 7 8 は、R X F I F O 3 0 に連続して受信される必要はない。ただし、前述のように、パケットが比較的短く、ヘッダ 7 2 が比較的長くデータ 7 4 がわずかに数バイトの長さの場合もある。さらにまた、全パケットがほとんどの一般的パケット・タイプのヘッダよりも短い非定形パケットもある。

【 0 0 2 8 】 図 6 は、パケット・ヘッダおよびパケット・データがホスト・コンピュータ・システム内に配置される所望の方法、すなわちショートおよび非定形パケットの場合を除いてパケット・ヘッダがヘッダ・バッファ 8 0 に、パケット・データがヘッダ・バッファ 8 0 とは別のデータ・バッファ 8 2 に配置される方法を示している。ショートおよび非定形パケットについては、パケット・ヘッダおよびパケット・データは共にヘッダ・バッファ 8 0 に配置される。

【 0 0 2 9 】 図 7 および図 8 は、A T M ヘッダ 7 2 がバッファ 8 0 に、A T M データ 7 4 がバッファ 8 2 に転送される所望の方法を示している。図示のとおり、A T M セル 7 8 は A T M パケットに保存される。A T M パケットはチャネルごとのリンク済みリストのように互いにリンクされている（リンケージ情報は図示せず）。さらに、リンク済み各リストは、複数のポインタで管理される。さらに具体的には、リンクされた各リストは、第 1 のフルパケット（部分パケットまたは常駐データの入ったパケットに対する）を指す第 1 パケット・ポインタ 8 4、第 1 のパケットの後に続く次の A T M パケットを指す次パケット・ポインタ 8 6、および最後の A T M パケットを指す最終パケット・ポインタ 8 8 で管理される。

【 0 0 3 0 】 保存された A T M セルは、固定サイズ・ブロックでホスト・コンピュータ・システムに転送されるが、ここでブロック・サイズはバス・インタフェースと相補的であり、A T M セル・サイズとは等しくない。従って、部分的にアンロードされたパケットまたは常駐データを備えるパケットが時として存在することも可能である。各チャネルには一度に部分パケットが 1 つだけであることに留意されたい。したがって、前述のポインタ 8 4 - 8 8 に加えて、部分パケット・ポインタ 9 0 はまた部分パケットを識別するために各チャネルに採用され、部分オフセット 9 2 は部分パケット内の常駐データの開始位置を識別するために使用される。さらに、ヘッダが完全に転送されるまで、残余ヘッダ長を維持することが必要であり、残余ヘッダ長カウンタ 9 4 がその目的のため採用される。

【 0 0 3 1 】 制御ポインタ 8 4 - 9 2 および制御カウンタ 9 4 は、各バースト転送後に更新される。さらに具体的には、第 1 ポインタ 8 4、次ポインタ 8 6、部分ポインタ 9 0 および部分オフセット 9 2 はすべて相応して「進められ」、残りのヘッダ長 9 4 は相応してデクリメ

ントされる。チャネルのすべてのバッファされた A T M セルがホスト・コンピュータ・システムに転送されてしまうと、最後のパケット・ポインタ 8 8 が更新される。

【 0 0 3 2 】 部分オフセットは、部分 A T M パケット内の常駐データの開始位置を示すために使用されるため、この部分オフセットは 0 から A T M セル・サイズ (C S) の間の値だけを取ることができる。部分パケットがない場合は、部分オフセットは 0 に等しい。一方、部分オフセットは、A T M パケットの最後を指す場合に C S に等しい。したがって、各バースト転送後の正しい新部分オフセットを判定するためには、部分オフセットをバースト・サイズ (B S) だけ名目上インクリメントする際に、調整または正規化を行って部分オフセット値を 0 と C S の間にしなければならない。

【 0 0 3 3 】 さらに、C S および B S は固定されているため、正規化前にインクリメントされた部分オフセットがとることのできる値は有限および事前設定可能である。たとえば、現在好ましい実施の形態においては、C S は 4 8 バイト、そして B S は 6 4 バイトである。したがって、正規化前のインクリメントされた部分オフセット値は、必然的に 0 から 2 8 （ワード数の単位で）の間である。さらに説明を加えると、B S が 1 2 8 バイトに変更された場合、正規化前のインクリメントされた部分オフセット値は必然的に 0 から 4 4 （ワード数の単位で）の間である。

【 0 0 3 4 】 さらに、パケット・ポインタおよび部分オフセットの管理の目的で、正規化前インクリメント済み部分オフセット値 (p) は事前設定可能な有限数の事例として解析することが可能である。現在好ましい実施の形態 (C S = 4 8 バイト、B S = 6 4 バイト) を再度例にあげると、p は必然的に 0 - 2 8 （ワード数の単位で）の間であるから、完了したばかりのバースト転送の停止位置は、p が 2 4 よりも大きい場合「最遠のフル A T M パケット」を超え、p が 1 3 - 2 4 の間の場合「最遠のフル A T M パケット」内であり、p が 0 - 1 2 の間の場合「開始パケット」内である。この場合の「最遠のフル A T M パケット」は、「開始パケット」のすぐ後のパケットである。さらに説明を加えると、C S が 4 8 バイトで B S が 1 2 8 バイトである場合の実施の形態では、p は必然的に 0 - 4 4 （ワード数の単位で）の間にあるため、完了したばかりのバースト転送の停止位置は、p が 3 6 よりも大きい場合「最遠のフル A T M パケット」を超え、p が 2 5 - 3 6 の間の場合「最遠のフル A T M パケット」内であり、p が 1 3 - 2 4 の間の場合「開始パケット」に続くパケット内であり、p が 0 - 1 2 の間の場合「開始パケット」内である。

【 0 0 3 5 】 以上、所望の転送方法を記述してきたが、ここで R X アンロード・ブロック 6 0 について、特に本明細書に組み込む本発明の教示について図 9 および図 1 0 - 図 1 5 を参照しながら、さらに詳細に記述する。図

9 は、RXアンロード・ブロック 6 0 の 1 つの実施の形態を示している。図示のように、RXアンロード・ブロック 6 0 は、それぞれ図のように互いに接続されたデータ・エンジン状態機械 9 6、ルックアヘッド状態機械 9 8、ゲット・バッファ状態機械 9 8、複数のアンロード・レジスタ 1 0 2 および複数の加算器、減算器、比較器、およびマルチプレクサ 1 0 4 を含んでいる。ゲット・バッファ状態機械 1 0 0 は、ホスト・コンピュータ・システム上のバッファを入手するために使用され、データ・エンジン状態機械 9 6 は、ホスト・コンピュータ・システム上の適切なバッファにヘッダおよびデータを実際にバースト転送するために使用される。ルックアヘッド状態機械 9 8 は、RXアンロード・ブロック 6 0 の動作を制御するために使用される。アンロード・レジスタ 1 0 2 は、様々な制御データの保存のために、様々な状態機械 9 6 - 1 0 0、特にルックアヘッド状態機械 9 8 によって使用される。制御データに対する変更は、アンロード・レジスタ 9 8 から制御データを読み取り、読取りデータを選択された加算器、減算器などの 1 つ 1 0 4 に供給し、その後選択された加算器、減算器などの 1 つ 1 0 4 を使用して提供された制御データ上で操作することによって行われる。

【0036】ルックアヘッド状態機械 9 8 は、前述の第 1 バケット・ポインタ 8 4、次バケット・ポインタ 8 6 などを含む、適切な制御情報および制御信号をゲット・バッファ状態機械 1 0 0 およびデータ・エンジン状態機械 9 6 に供給する。ルックアヘッド状態機械 9 8 は、行われているのがヘッダ・バースト転送またはデータ・バースト転送のいずれであるか、バースト転送されたばかりのヘッダ/データの中に EOP が検出されたかどうか、といった実行中のアンロードを監視する。一方ルックアヘッド状態機械 9 8 はこれに応じて、アンロード・レジスタ 1 0 2 および加算器、減算器など 1 0 4 を使用して、制御データを維持する。

【0037】ルックアヘッド状態機械 9 8 によって、関連する制御ポインタ 8 4 - 9 2 および少なくとも 1 つの関連するカウンタ 9 4 が適切に維持されて、ATMセルを所望の方法でホスト・コンピュータ・システムにバースト転送できる方法については、以下にさらに詳しく記述する。ゲット・バッファ状態機械 1 0 0、データ・エンジン状態機械 9 6、およびルックアヘッド状態機械 9 8 によって実行される他の機能は、本発明の理解には直接には関与しない。したがって以下では、これらについての記述は行わない。

【0038】図 1 0 - 図 1 5 は様々な関連する制御ポインタ 8 4 - 9 2 および残余ヘッダ長カウンタ 9 4 を維持するためのルックアヘッド状態機械 9 8 の動作論理の 1 つの実施の形態を示している。図 1 0 に示されたように、ルックアヘッド状態機械 9 8 はまず、バースト転送がヘッダ・バースト転送であるか、またはデータ・バースト

スト転送であるかを判定する、ステップ 2 0 0。バースト転送がヘッダ・バースト転送であると判定すると、ルックアヘッド状態機械 9 8 は以前の残余ヘッダ長からバースト・サイズを除算することにより新たな残余ヘッダ長を計算させる、ステップ 2 0 2。次に、ルックアヘッド状態機械 9 8 は、新規ヘッダ長がゼロ未満であるかどうか判定する、ステップ 2 0 4。新規ヘッダ長がゼロ未満であると判定されると、ルックアヘッド状態機械 9 8 は以前の部分オフセット 9 2 に以前のヘッダ長 9 4 を加算することにより新たな部分オフセット (未正規化) 9 2 を計算させる、ステップ 2 0 6。さらに、ルックアヘッド状態機械 9 8 は、新規ヘッダ長 9 4 をゼロに調整させる、ステップ 2 0 8。

【0039】一方、ステップ 2 0 0 においてバースト転送がデータ・バースト転送であると判定された場合、もしくはステップ 2 0 4 において新規ヘッダ長 9 4 がゼロ未満ではない場合、ルックアヘッド状態機械 9 8 は、以前の部分オフセット 9 2 にバースト・サイズを加算することにより新規部分オフセット 9 2 を計算させる、ステップ 2 1 0。

【0040】次に、ルックアヘッド状態機械 9 8 が、正規化前の新規部分オフセット 9 2 が「最遠フル ATM バケット」を超えた位置を指しているかどうかを判定する、ステップ 2 1 2。判定結果が肯定である場合、ルックアヘッド状態機械 9 8 は「最遠のフル ATM バケット」の事例に従って関連ポインタ 8 4 - 9 2 を更新させる、ステップ 2 1 4。一方、判定結果が否定である場合、ルックアヘッド状態機械 9 8 はさらに、正規化前の新規部分オフセットが「最遠のフル ATM バケット」の最後を正確に指しているかどうか判定する、ステップ 2 1 6。

【0041】ステップ 2 1 6 における判定結果が肯定である場合、ルックアヘッド状態機械 9 8 は、「最遠のフル ATM バケットの最後」の事例に従って関連ポインタ 8 4 - 9 2 を更新させる、ステップ 2 1 8。一方、ステップ 2 1 6 における判定結果が否定である場合、ルックアヘッド状態機械 9 8 はさらに、正規化前新規部分オフセットが「開始バケット」を超えた位置を指しているかどうか判定する、ステップ 2 2 0。

【0042】再び、ステップ 2 2 0 における判定結果が肯定である場合は、ルックアヘッド状態機械 9 8 は、「開始バケットを超える」事例に従って関連ポインタ 8 4 - 9 2 を更新させる、ステップ 2 2 2。一方、ステップ 2 2 0 における判定結果が否定である場合は、ルックアヘッド状態機械 9 8 はさらに、正規化前新規部分オフセットが「開始バケット」の最後を正確に指しているかどうかを判定する、ステップ 2 2 4。

【0043】同様にして、ステップ 2 2 4 における判定結果が肯定である場合は、ルックアヘッド・状態機械 9 8 は、「開始バケットの最後」の事例に従って関連ポ

ンタ 8 4 - 9 2 を更新させる、ステップ 2 2 6。一方、ステップ 2 2 4 における判定結果が否定である場合は、ルックアヘッド状態機械 9 8 は、「開始バケット内」の事例に従って関連ポインタ 8 4 - 9 2 を更新させる、ステップ 2 2 8。

【 0 0 4 4 】図 1 1 - 図 1 5 は、関連ポインタ 8 4 - 9 2 が前述の事例のもとで更新される方法を示している。説明を容易にするために、CS を 4 8 バイト、BS を 6 4 バイトとする現在好ましい実施の形態に従って更新を例示する。すなわち、現在好ましい実施の形態のもとでは、前述のとおり、部分オフセット 9 2 がとることのできる有効値（ワード数の単位で）は、0 - 1 2 である。部分オフセット 9 2 がバースト転送前にとることのできる最大値（ワード数の単位で）は 1 2 であり、正規化前新規部分オフセット 9.2 がとることのできる最大値（ワード数の単位で）は 2 8（1 2 + 1 6、ここで 1 6 はワード数での BS）である。したがって、本実施の形態では、部分オフセット 9 2 の正規化のための適切な調整値（ワード数の単位で）は、「最速フル ATM バケット」を「超える」および「最後」の場合 2 4（つまり 2 × CS）であり、「開始バケット」を「超える」および「最後」の場合 1 2（1 × CS）である。

【 0 0 4 5 】したがって、図 1 1 に示されるように、「最速フル ATM バケットを超える」の事例に対しステップ 2 3 0 において、ルックアヘッド・状態機械 9 8 は正規化前新規部分オフセット 9 2 から 2 × CS を除算することにより正規化された新規部分オフセット 9 2 を計算させる。その後、ルックアヘッド・状態機械 9 8 は、以前の部分バケットおよび以前の第 1 バケットをフリー・リソース・リストに戻させる、ステップ 2 3 2。次に、ルックアヘッド状態機械 9 8 は、前の第 1 のフル ATM バケット、すなわち完了したばかりのバースト転送の前に第 1 バケット・ポインタによって指されたバケット内に EOP が検出されたかどうかを判定する、ステップ 2 3 4。判定結果が肯定である場合は、ルックアヘッド状態機械 9 8 は、部分バケット・ポインタ 9 0 を前の次バケット・ポインタ 8 6 と等しくなるようにセットし、維持されたリンケージ情報を使用して新規第 1 バケット・ポインタ 8 4 の適切なアドレス値を調べる。一方、判定結果が否定である場合、ルックアヘッド・状態機械 9 8 は新規部分バケット・ポインタ 9 0 をヌルに、正規化新規部分オフセット 9 2 をゼロに、そして第 1 バケット・ポインタ 8 4 を前の次バケット・ポインタ 8 6 に等しくセットする、ステップ 2 3 8。

【 0 0 4 6 】図 1 2 に示されるように、「最速のフル ATM バケットの最後」の事例に対しステップ 2 4 0 において、ルックアヘッド状態機械 9 8 は正規化前新規部分オフセット・ポインタ 9 2 から 2 × CS を除算することにより正規化された新規部分オフセット 9 2 を計算させる。その後、ルックアヘッド状態機械 9 8 は、以前の部

分バケットおよび第 1 バケットをフリー・リソース・リストに戻させる、ステップ 2 4 2。さらに、ルックアヘッド状態機械 9 8 は、新規部分バケット・ポインタ 9 0 をヌルに、そして第 1 バケット・ポインタ 8 4 を前の次バケット・ポインタ 8 6 に等しくセットする、ステップ 2 4 4。部分オフセット 9 2 はステップ 2 4 0 において効果的にゼロにセットされていることに留意されたい。

【 0 0 4 7 】図 1 3 に示されるように、「開始 ATM バケットを超える」の事例に対しステップ 2 4 6 において、ルックアヘッド状態機械 9 8 は正規化前新規部分オフセット 9 2 から 1 × CS を除算することにより正規化された新規部分オフセット 9 2 を計算させる。次に、ルックアヘッド状態機械 9 8 は、「開始バケット」が部分バケットであるかどうかを判定する、ステップ 2 4 8。「開始バケット」が部分バケットである場合は、ルックアヘッド状態機械 9 8 は、「開始部分バケット」をフリー・リストに戻させる、ステップ 2 5 0。その後、ルックアヘッド状態機械 9 8 は、部分バケット・ポインタ 9 0 を前の第 1 バケット・ポインタ 8 4 と等しく、第 1 バケット・ポインタ 8 4 を前の次バケット・ポインタ 8 6 に等しくセットする。

【 0 0 4 8 】しかし、ステップ 2 4 8 に戻り、「開始バケット」が部分バケットでないと判定された場合、ルックアヘッド状態機械 9 8 は、「開始バケット」をフリー・リストに戻させる、ステップ 2 5 4。次に、ルックアヘッド状態機械 9 8 は、以前の第 1 バケットで EOP が検出されたかどうかを判定する、ステップ 2 5 6。判定結果が肯定である場合、ルックアヘッド状態機械 9 8 は、部分ポインタ 9 0 を前の次ポインタ 8 6 に等しくセットし、維持されたリンケージ情報を使って新規第 1 ポインタ 8 4 のアドレス値を調べる。一方、判定結果が否定である場合、ルックアヘッド状態機械 9 8 は、部分オフセット 9 2 をゼロに、第 1 ポインタ 8 4 を前の次ポインタ 8 6 と等しくセットする、ステップ 2 6 0。

【 0 0 4 9 】図 1 4 に示されるように、「開始 ATM バケットの最後」の事例に対しステップ 2 6 2 において、ルックアヘッド状態機械 9 8 は正規化前新規部分オフセット 9 2 から 1 × CS を除算することにより正規化された新規部分オフセット 9 2 を計算させる。その後、ルックアヘッド状態機械 9 8 は、「開始バケット」が部分バケットであるかどうかを判定する、ステップ 2 6 4。

「開始バケット」が部分バケットである場合は、ルックアヘッド状態機械 9 8 は、「開始部分バケット」をフリー・リストに戻させる、ステップ 2 6 6。その後、ルックアヘッド状態機械 9 8 は、部分バケット・ポインタ 9 0 をゼロに等しく、第 1 バケット・ポインタ 8 4 を前の次バケット・ポインタ 8 6 に等しくセットする。一方、ステップ 2 6 4 に戻ると、状態機械 9 8 が開始第 1 バケットを、フリー・リストに戻させるステップ 2 7 0 のように判定されている。その後、ルックアヘッド状態機械

9 8 は、第 1 バケット・ポインタ 8 4 を前の次バケット・ポインタ 8 6 に等しくセットする。

【0 0 5 0】最後に、図 1 5 に示されるように、「開始バケット内」の事例に対して、ルックアヘッド状態機械 9 8 は、「開始バケット」が部分バケットであるかどうか判定する、ステップ 2 7 4。判定結果が肯定である場合、これ以上の動作はとられない、すなわち、あらゆるポインタおよび部分オフセットは変更されない。一方判定結果が否定である場合は、ルックアヘッド状態機械 9 8 は、部分バケット・ポインタ 9 0 を前の第 1 ポインタ 8 4 と等しく、第 1 ポインタを前の次ポインタ 8 6 と等しくセットする、ステップ 2 7 6。

【0 0 5 1】以上、ATM バケット・ヘッダおよびデータをホスト・コンピュータにバースト転送するための方法および装置について記述してきた。本発明の方法および装置を例示的な実施の形態に関して述べたが、記載された実施の形態に本発明を限定するものではないことを、当業者なら理解するであろう。本発明は、冒頭の請求範囲の精神および範囲から逸脱することなく変更および修正を加えて実施することができる。したがって、この説明は本発明を限定するものではなく例示的なものとして見なされる。

【図面の簡単な説明】

【図 1】 本発明の教示を組込むコンピュータ・システムのネットワークの例を示す図である。

【図 2】 図 1 の N I C の 1 つの実施の形態を示す図である。

【図 3】 図 2 のシステムおよび ATM 層コアを示す図である。

【図 4】 図 3 の受信ブロックを示す図である。

【図 5】 ATM バケットを示す図である。

【図 6】 ホスト・システム上のヘッダおよびデータ・バッファを示す図である。

【図 7】 ホスト・システムへのヘッダ／データのバースト転送のための、セル境界にそろえない手法を示す図である。

【図 8】 ホスト・システムへのヘッダ／データのバースト転送のための、セル境界にそろえない手法を示す図である。

【図 9】 図 4 のアンロード・ブロックの 1 つの実施形態を示す図である。

【図 1 0】 所望の方法で ATM ヘッダおよびデータのバースト転送を行うための関連制御ポインタおよびカウンタを維持するための、図 9 のルックアヘッド・状態機械に組込まれた論理フローの 1 つの実施形態を示す図である。

【図 1 1】 所望の方法で ATM ヘッダおよびデータの

バースト転送を行うための関連制御ポインタおよびカウンタを維持するための、図 9 のルックアヘッド・状態機械に組込まれた論理フローの 1 つの実施形態を示す図である。

【図 1 2】 所望の方法で ATM ヘッダおよびデータのバースト転送を行うための関連制御ポインタおよびカウンタを維持するための、図 9 のルックアヘッド・状態機械に組込まれた論理フローの 1 つの実施形態を示す図である。

【図 1 3】 所望の方法で ATM ヘッダおよびデータのバースト転送を行うための関連制御ポインタおよびカウンタを維持するための、図 9 のルックアヘッド・状態機械に組込まれた論理フローの 1 つの実施形態を示す図である。

【図 1 4】 所望の方法で ATM ヘッダおよびデータのバースト転送を行うための関連制御ポインタおよびカウンタを維持するための、図 9 のルックアヘッド・状態機械に組込まれた論理フローの 1 つの実施形態を示す図である。

【図 1 5】 所望の方法で ATM ヘッダおよびデータのバースト転送を行うための関連制御ポインタおよびカウンタを維持するための、図 9 のルックアヘッド・状態機械に組込まれた論理フローの 1 つの実施形態を示す図である。

【符号の説明】

1 0 コンピュータ・システム・ネットワーク

1 2 A T M N I C

1 4 ローカル A T M 交換機

1 5 ローカル・エリア・ネットワーク・エミュレーション

1 6 公衆 A T M 交換機

2 0 システム・バス・インタフェース

2 2 A T M 層コア

2 4 G I O (汎用入 / 出力) インタフェース

2 6 ローカル・スレーブ・インタフェース

2 8 T X (送信) F I F O

3 0 R X (受信) F I F O

3 2 セル・インタフェース・ブロック

3 4 外部バッファ・メモリ・インタフェース

3 6 クロック合成回路

3 8 システム・バス

4 0 A T M セル・インタフェース

4 2 外部バッファ・メモリ

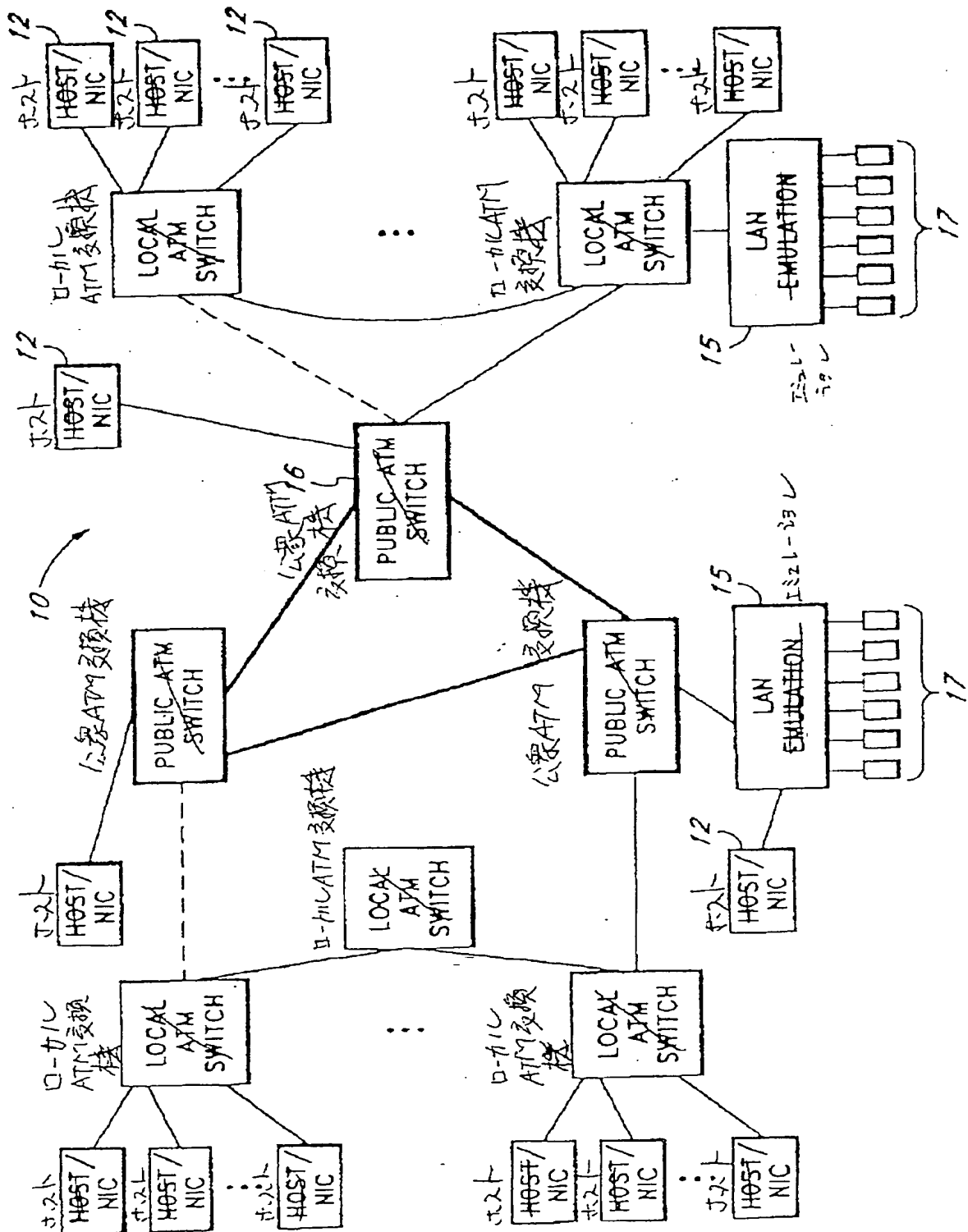
4 4 記憶ブロック

4 5 R X バッファ・メモリ

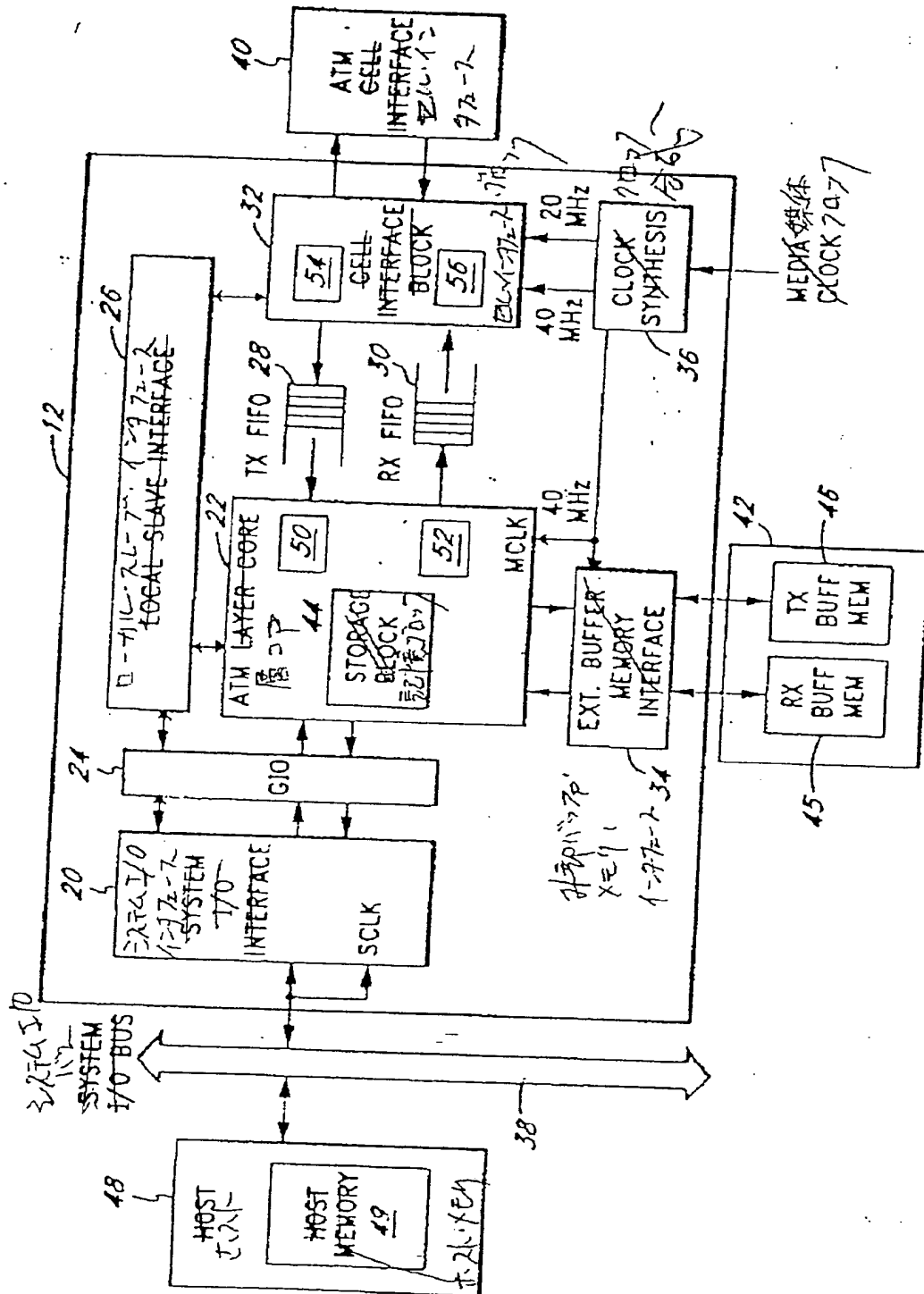
4 6 T X バッファ・メモリ

4 8 ホスト・コンピュータ

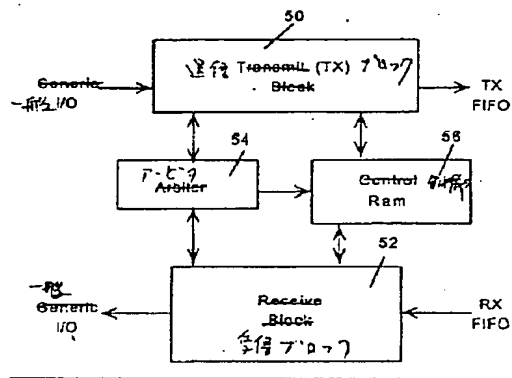
【図1】



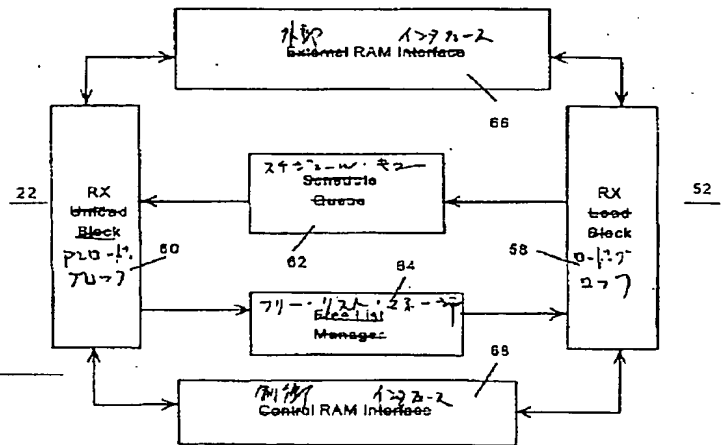
【圖 2】



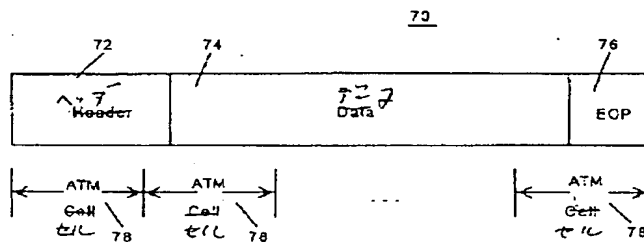
【図 3】



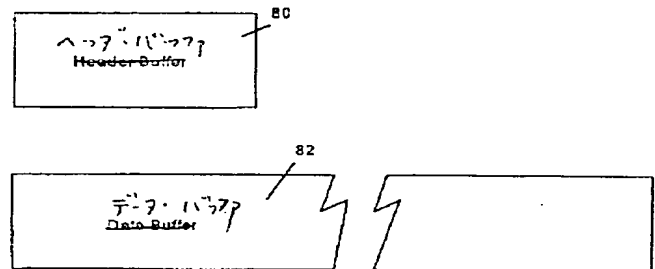
【図 4】



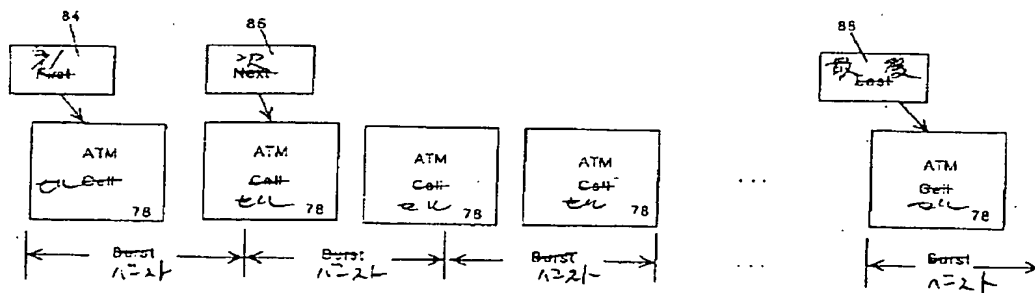
【図 5】



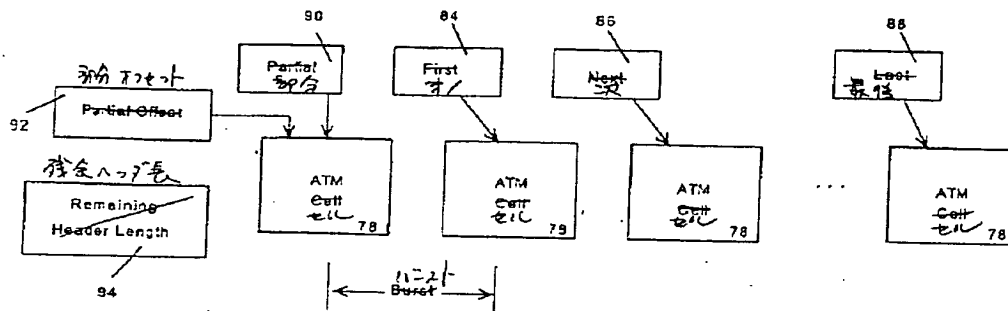
【図 6】



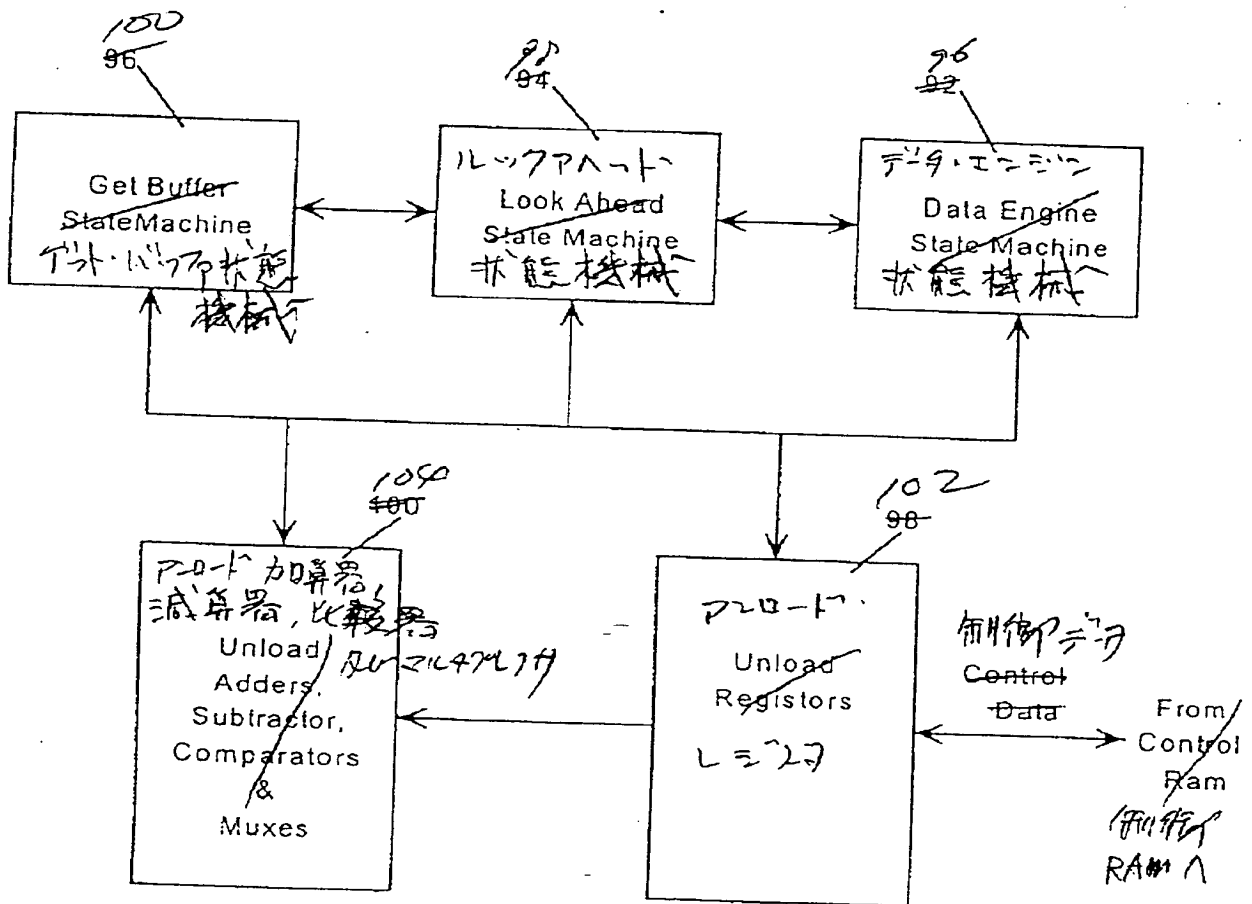
【図 7】



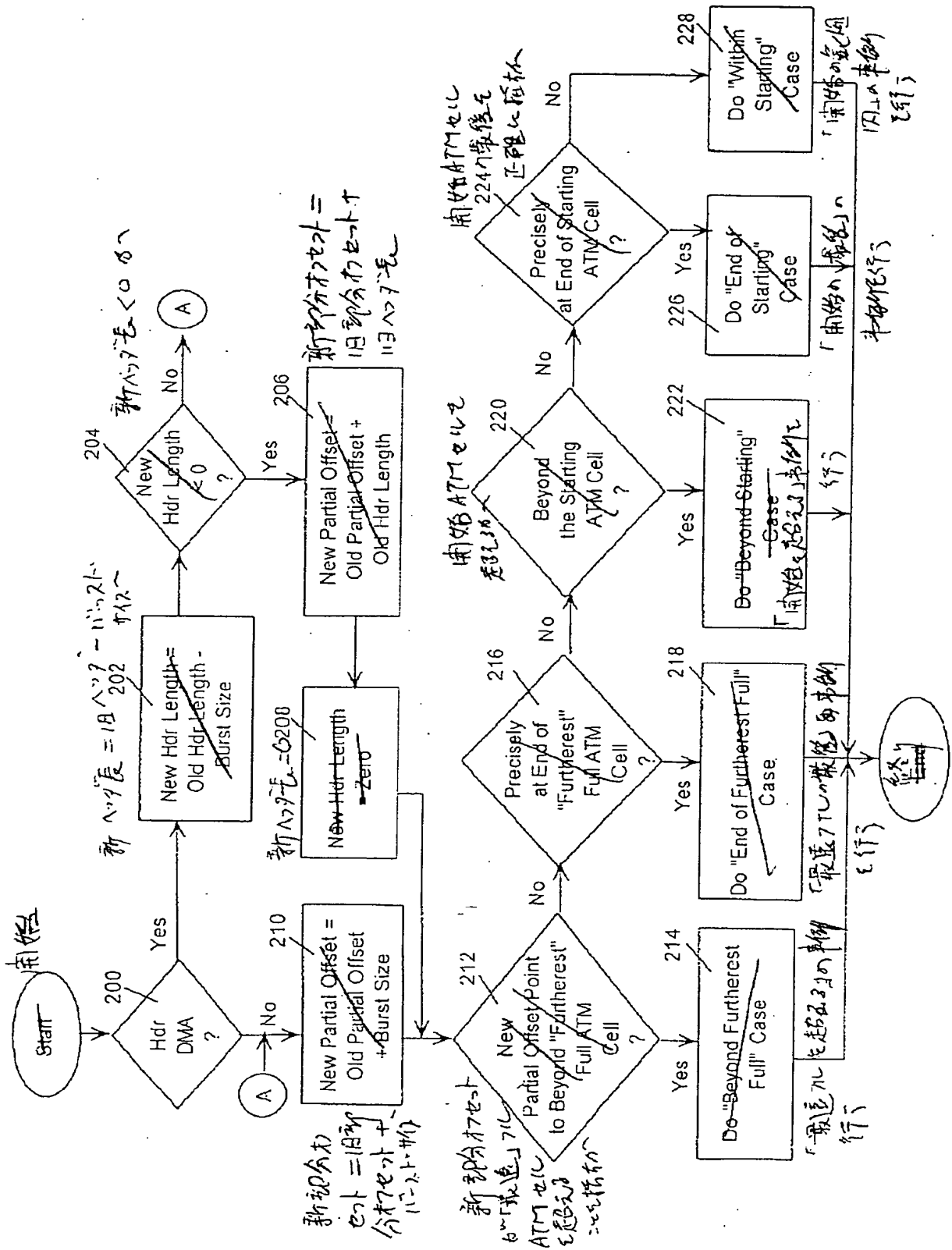
【図 8】



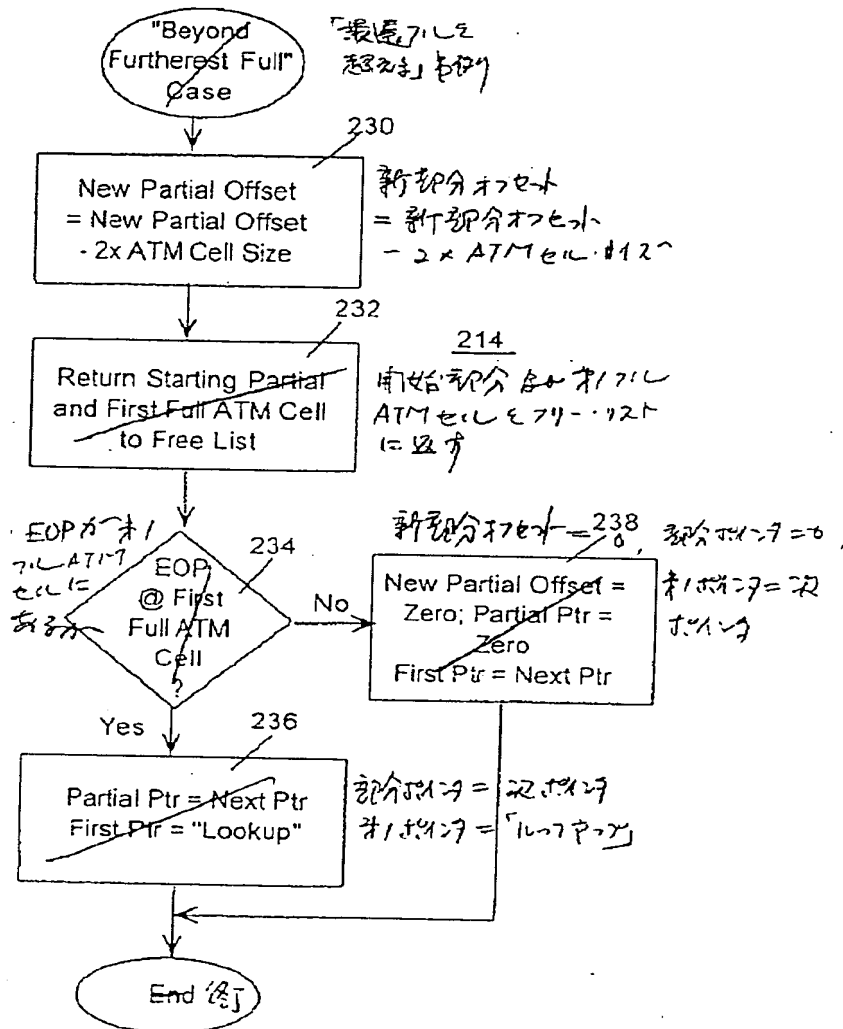
【図 9】



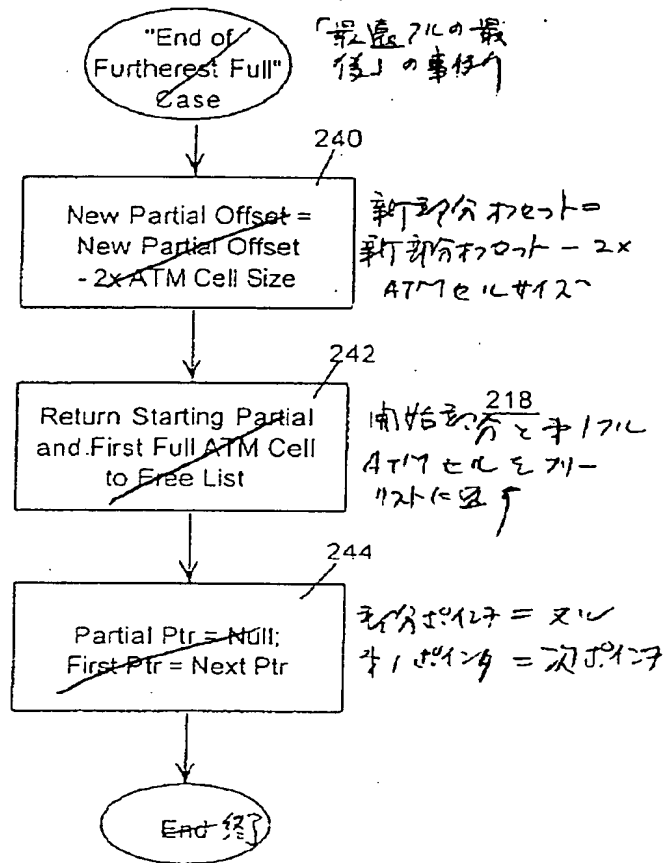
【図 10】



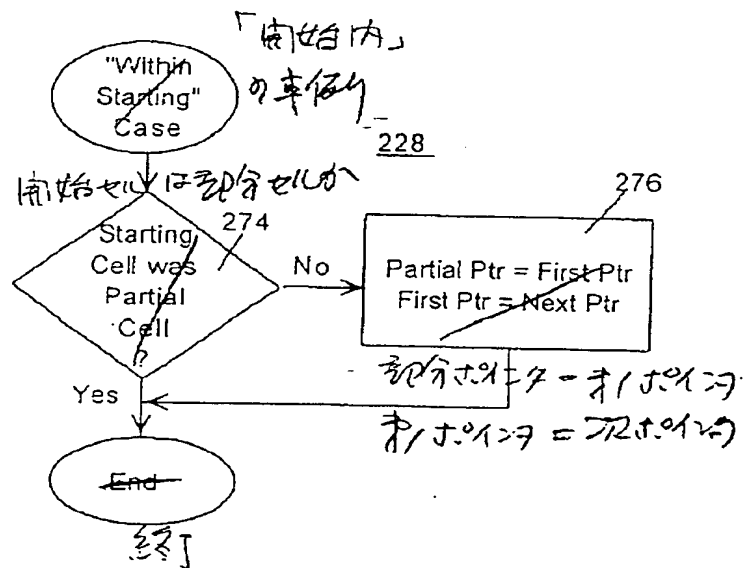
【図 11】



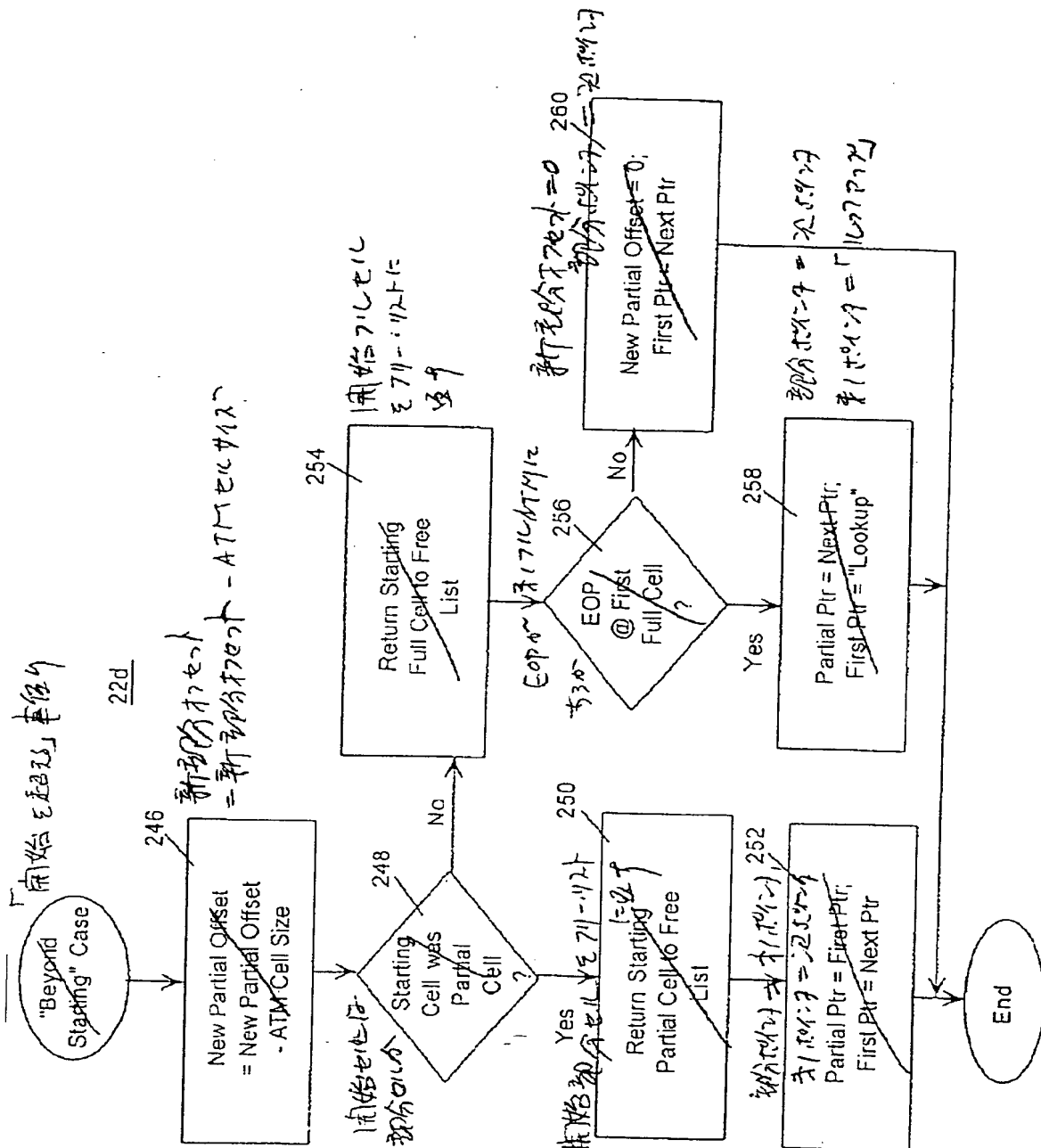
【図 12】



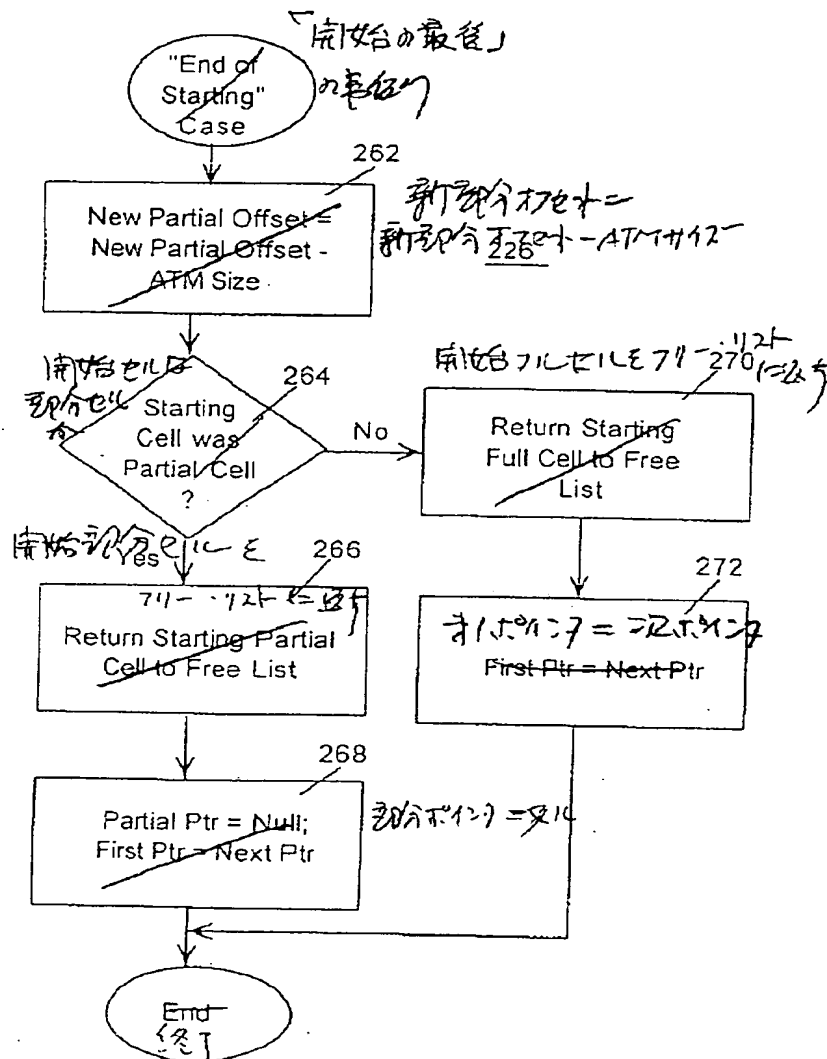
【図 15】



En



【図 1 4】



フロントページの続き

(72) 発明者 ラソウル・エム・オスコウィ
 アメリカ合衆国 94539 カリフォル
 ニア州・フレモント・アンプクア コート
 ・968

THIS PAGE BLANK (USPTO)